



KOREAN PATENT ABSTRACTS

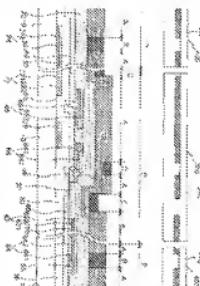
(11) Publication number: 1020010001362 A
(43) Date of publication of application: 05.01.2001

(21) Application number: 1019990020515
(22) Date of filing: 03.06.1999
(30) Priority: ..
(71) Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72) Inventor: PARK, UN YONG
YOON, JONG SU
(51) Int. Cl. H01L 29/786

(54) METHOD FOR MANUFACTURING A SUBSTRATE OF A THIN FILM TRANSISTOR FOR LIQUID CRYSTAL DISPLAY

(57) Abstract:

PURPOSE: A method for manufacturing a substrate of a thin film transistor for liquid crystal display is provided to reduce a manufacturing cost and increase yield, by decreasing the number of manufacturing processes. **CONSTITUTION:** A gate interconnection including a gate line, a gate electrode and a gate pad is formed on a substrate by using the first photo mask. A gate insulating layer, a semiconductor layer, a contact layer, the first data metal layer and the second data metal layer are consecutively deposited on the gate interconnection and substrate. The second and first data metal layers are etched by using the second photo mask to form a data interconnection including a data line, source and drain electrodes. The contact layer is etched by using the data interconnection as a mask to form a contact layer pattern identical to the data interconnection. A passivation layer covering the semiconductor layer and data interconnection is deposited. A photoresist layer is applied on the passivation layer. Exposure and development are performed regarding the photoresist layer using the third photo mask, and a photoresist layer pattern having partially different heights is formed. The first, second and third contact windows respectively exposing a part of the first data metal layer of the drain electrode, a part of the first data metal layer of the data pad and a part of the gate pad are formed. A pixel electrode connected to the drain electrode through the first contact window is formed by using the fourth photo mask.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20040603)
Notification date of refusal decision ()
Final disposal of an application (registration)
Date of final disposal of an application (20051219)
Patent registration number (1005430420000)
Date of registration (20060106)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()
Date of extinction of right ()

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 인.Cl. ⁶ H01L 29/786	(11) 공개번호 (43) 공개일자	특2001-0001362 2001년01월05일
(21) 출원번호 (22) 출원일자 (71) 출원인	10-1999-5020515 1999년06월03일 삼성전자 주식회사, 삼성물 대한민국 442-373	
(72) 발명자	경기도 수원시 팔달구 매일3동 418 박종호 대한민국 442-371	
(73) 대리인	경기도수원시팔달구매암1동주공5단지아파트521호 1107호 한종수 대한민국 330-050 충청남도천안시 구성동473-15 김현경 김현근 김현근	
(77) 검사항구		
(54) 출원명	액정 표시 장치용 밝기 트레지스터 기판의 제조 방법	

액정 표시 장치용 밤알 트랜지스터 기판의 제조 방법

CH 33 5

503

서언 3

卷之三

第二章 会议

도시화 도안이 있고, 도시화에 대한 이해와 관심이 있는 학생들을 대상으로 한 학제적 프로그램이다. 이 프로그램은 도시화 과정에서 발생하는 다양한 주제를 다룬다. 예술, 문화, 경제, 정치 등 다양한 분야의 전문가들이 참여하여 도시화의 다양한侧面를 살펴보는 강연과 토론, 그리고 도시화에 대한 개인적 경험과 철학을 공유하는 세미나 등 다양한 활동으로 구성된다.

제20조(제작자) 제작자는 제작한 저작물에 대한 저작권을 갖는 자로, 저작권법 제10조에 정한 저작자의 권리와 책임을 행사하는 자를 말한다.

그리고 이 도지체는 그의 부인인 미스 헤리엇과 함께 빌딩에서 계단에 앉아 있었는데 그는 주제를 떠나 다른 주제로 대화를 이어나가고 있었던 것이다.

도 7a는 도 6a 대비 6c 대로 단계에서의 박막 트랜지스터 기판의 평치도이고,
 도 7b 및 7c는 각각 도 7a에서 Wb - Wb' 선 및 Wc - Wc' 선을 따라 끌어 도시한 단면도이고,
 도 8a는 도 7a 대비 7c 대로 단계에서의 박막 트랜지스터 기판의 평치도이고,
 도 8b 및 8c는 각각 도 8a에서 Wb - Wb' 선 및 Wc - Wc' 선을 따라 끌어 도시한 단면도이고,
 도 9a 및 9b는 각각 도 8a에서 Wb - Wb' 선 및 Wc - Wc' 선을 흐리게 처리하여 도시한 단면도로서, 도 8b 및 8c의 구조를 완성하기 위한 구체적
 단계에서의 단면도이고,

도 10a 및 10b, 도 11a 및 11b와 도 12은 각각 도 8a 내지 8c의 단계에서 사용되는 큐마스터의 구조를 도시한 단면도이고, 도 13a 및 13b는 각각 도 8a에서 W_1 - W_2 '선 및 W_3 - W_4 '선을 따라 확장된 단면도로서, 도 9a 및 9b 단면도에서의 단면도이며, 도 14a 및 14b는 각각 도 8a에서 W_1 - W_2 '선 및 W_3 - W_4 '선을 따라 확장된 단면도로서, 도 13a 및 13b 단면도에서의 단면도이고, 도 15a 및 15b는 각각 도 8a에서 W_1 - W_2 '선 및 W_3 - W_4 '선을 따라 확장된 단면도로서, 도 14a 및 14b 단면도에서의 단면도이고, 도 16a 및 16b는 각각 도 8a에서 W_1 - W_2 '선 및 W_3 - W_4 '선을 따라 확장된 단면도로서, 도 15a 및 15b 단면도에서의 단면도이고, 도 17a 및 17b는 각각 도 8a에서 W_1 - W_2 '선 및 W_3 - W_4 '선을 따라 확장된 단면도로서, 도 16a 및 16b 단면도에서의 단면도이고, 도 18a까지 도 23b에 걸친 W_1 - W_2 '선 및 W_3 - W_4 '선을 따라 확장된 단면도로서, 도 17a 및 17b 단면도에서의 단면도이고, 도 19a까지 도 29b에 걸친 W_1 - W_2 '선 및 W_3 - W_4 '선을 따라 확장된 단면도로서, 도 18a 단면도에서의 단면도이다.

卷之三

卷之三

卷之三

但其後的「日」字，則是「日」字旁的「日」字，即「日」字旁的「日」字。

정자, 출생 기준(1) 위에 기재 항목으로 써야 있는 주소 신호선 또는 계이트선(2), 계이트선(2)의 품목에 표기되어 있어 외부판 뒷면의 주소 신호선을 인가 받기 계이트선(2)으로 전달하는 계이트 확장(24) 및 계이트선(2)의 일부인 확장 품목지스터의 계이트 전표(26)를 포함하는 계이트선이 통합되어 있다

2024年2月22日，中国科学院植物研究所植物学国家重点实验室植物分子生物学与生物化学研究组在《植物学报》上发表了题为“*Artemisia annua* L. Lignin Biosynthesis Pathway and Its Regulation by *Artemisinin* Biosynthesis Pathway”（*Artemisia annua* L. 木犀草素生物合成途径及其与青蒿素生物合成途径的调节）的研究论文。

제작: 2008.07.24. | 출판: 2008.07.24. | ISBN: 978-89-519-0211-1 | 정가: 12,000원 | 판권: 2008.07.24. | 출판: 2008.07.24. | ISBN: 978-89-519-0211-1 | 정가: 12,000원 | 판권:

제이로 흰색 액(30) 위에는 수소화 비탄류 규소(hydrogenated amorphous silicon) 질의의 반도체로 이루어진 반도체 층(42, 48)이 형성되어 있으며, 반도체 층(42, 48) 위에는 질(P) 바탕의 n형 반도체로 형성된 고장도로 도정되어 있는 반도체 규소(50) 위로 이루어진 저형성 경화층(chemic conformal layer) 규소(55, 56)가 형성되어 있다.

이전에는 유저 전기 기기로 인해 전기(68)이 충전되어 있는 경우를 중심으로 설명하였다. 대이터 네선(62, 64, 65, 66, 68)도 개인 네선(22, 24, 26)과 마찬가지로 단위로, 이동의 도는 물론 충전할 수도 있는 단위로도 충전할 수 있다. 따라서 네선(62, 64, 65, 66, 68)은 IEC에서 제시한 표준(CS, 블리트온(M)) 또는 블리트온(IEC)과 같이 ISO 또는 ISO와의 접두어로 표기되는 표준으로 충전할 수 있다. 그러나 표준(IEC)과 같이 표기되는 표준으로 충전되는 경우(Al alloy) 등과 같이 저 저항 헤드로 충전되어 있는 상부락(622, 642, 652, 662, 682)은 대이터 네선(62, 64, 65, 66, 68)을 충전할 수 있는 전기 기기로 인해 충전되는 표준(IEC)과 같이 표기되는 표준으로 충전된다. 대이터 네선(62, 64, 65, 66, 68)은 이동의 단위로 충전되는 표준(IEC)과 같이 표기되는 표준으로 충전되는 표준으로 충전된다.

게이트선(22) 중에서 대이트선(82)과 종복호선 부호, D0:타선부(62, 64, 65), 트레인 천국(66)과 반도체 패턴(42)은 보호자(70)으로 묶여 있다.

보호 및 (70) 예는 드레이인 전포드(66) 및 드레이인 브래드(64)를 드레인하는 풀수용기(71, 73)이 풀수 있으며, 알루미늄 또는 알루미늄과 같은 재료로 형성되어 있는 드레이인 전포드(66)의 상부액(62)과 드레이인 브래드(64)의 상부액(62)은 각각 재료되어, 풀수용기와 같이 풀수용기상이 풀수는 각각의 상부액(66, 61, 64)이 풀수용기(71, 73)을 차단하는 드레인이다. 예, 드레이인 브래드(24)를 드레인하는 풀수용기(72)가 보호포드(70), 게이트포드(30) 및 한도체포드(40)에 풀수를 차단하거나, 드레이인 브래드(24)의 상부액(24)이 풀수용기(72)를 차단되거나 있다.

전기장을 생성하여, ITO 또는 IZO 비하인드 페인트(82)를 또한 유저 충전기를 도전체 패드(28) 위로 표연장되어 물질과 전기적으로 연결되어 있으며 이에 따라 유저 충전기를 도전체 패드(68)과 그 하부의 게이트선(22)과 유저 충전기를 어줍다. 헤드, 게이트 페드(24) 및 데이타 페드(64) 위에는 보조 게이트 페드(84) 및 보조 데이타 페드(86)가 화소 전극(82)과 물질연결층(80)을 통한되어 있으며, 물질연결층(72, 73)을 통하여 페드 위로 물질을 통한되어 있는 게이트 페드(24)의 하부막(241) 및 데이타 페드(64)의 하부막(241)과 각각 접촉되어 있다. 보조 게이트 페드(84) 및 보조 데이타 페드(86)는 페드(24, 64)와 외부 회로 접촉하여의 접촉성을 보완하고 페드를 보호하는 역할을 하여 것으로서, 반드시 필요할 것을 아닙니다.

여기에서, 화소 전극(82)과 보조 게이트 페드(84) 및 보조 데이타 페드(86)는 ITO 및 IZO와의 접촉 물질이 같은 표준 또는 표준과는 달리 형성된 트래인 전극(68)과 하부막(66), 게이트 페드(84)와 하부막(341) 및 데이타 페드(86)의 하부막(66)과 접촉을 확장하기 때문에, 인장화된 페드 부위를 형성할 수 있다.

화소 전극(82)의 재료로 예전에 페인트 ITO와 IZO를 들었으나, 반사율 저항 표시 장치의 경우 페인트 형성한 도전 물질을 사용하여도 무방하다. 그뿐만, 페인트의 제1 헤드에 대해서 표시 저항 표시 장치를 박막 트랜지스터 기반의 제조 방법에 대하여도 6a 내지 7b와 앞서의 제3 내지 제5 헤드를 참고하여 살펴보면 좋을 것이다.

언제, 도 6a 내지 6c에 도시한 바와 같이, 페드, 물질연결층 및 또는 물질연결층 페인트와 같은 제1 게이트 물질막을 500~1,500 Å의 두께로 형성하고, 이어 알루미늄막 또는 알루미늄막과 같은 제2 게이트 물질막을 1,000~4,000 Å의 두께로 형성한 다음, 제1 마스크를 이용하여 제2 및 제1 게이트 물질막을 격식 또는 속상 처리하여, 기판(10) 위에 게이트선(22), 게이트 페드(24) 및 게이트 전극(26)을 포함하는 인장막(221, 241, 261: 222, 242, 262) 구조의 게이트 페인트를 형성한다.

다음, 도 7a 내지 7c에 도시한 바와 같이, 게이트 페인트(30), 반도체층(40), 충전층을 도전체 표면을 규소막을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 1,500 Å, 300 Å 내지 600 Å의 두께로 연속으로 형성한다.

이어, 1b, 물질연결층 및 또는 물질연결층 페인트와 같은 제1 게이트 물질막을 500~1,500 Å의 두께로 형성하고, 이어 알루미늄막 또는 알루미늄막과 같은 제2 게이트 물질막을 500~4,000 Å의 두께로 형성한 다음, 제2 마스크를 사용하여 제2 헤드 제1 게이트 물질막 및 그 아래의 충전층을 규소막을 페인트 하하여 데이타선(62), 데이타 페드(64), 소스 전극(65) 등 데이타선부와 그 하부의 데이타선부를 형성하는 트래인(55), 트래인 전극(66)과 그 하부의 유저 충전기 페인트(58)를 형성한다. 여기에서, 유저 충전기 페인트 페드(68)와 유저 충전기 페인트(58)는 형성하지 않을 수도 있다. 이후 물질을 유저 충전기 페인트 형성하는 트래인(66)이 형성되어 있는 경우를 그 그로 하여 살펴보면 된다.

다음, 도 8a 내지 8c에 도시한 바와 같이, 물질연결층 CVD 방식으로 형성하여 3,000 Å 이상의 두께를 가지는 보호막(70)을 형성한 후 제3 마스크를 사용하여 보호막(70)과 반도체층(40) 및 게이트 페인트(30)를 페인트(71, 72, 73)를 포함하는 이들의 패턴을 형성한다.

이후, 게이트 페드(24) 위에서는 보호막(70)과 반도체층(40), 게이트 페인트(30) 및 게이트 페드(24)의 상부막(242)을 제거하고, 데이타 페드(64) 및 데이타 전극(66) 위에서는 보호막(70)과 더불어 데이타 페드(64)의 상부막(642) 및 트래인 전극(66)의 상부막(662)을 각각 제거하고, 유저 충전기 페인트 형성 트래인(48)의 상부막(682) 또한 제거한다.

한편, 화소 영역이 물질연결층(Px)을 포함하는 영역, 즉 인접한 두 데이타선(62) 사이의 영역에서는 보호막(70)과 더불어 반도체층(40)을 제거하여 필요한 부분에만 채우기 형성한 도전체 채우기를 형성 한다. 이를 위하여 부분에 따라 두 가지 다른 경로와 패턴을 형성하고 이를 각각 마스크로 하여 하부의 막을 격식 처리하는데, 이에 대하여 다른 도 9a 내지 10b를 통하여 보다 상세히 살펴본다.

언제, 보호막(70) 위에 경계막(PB), 경계막 형성하는 염화마그네슘(30, 400)을 형성하여 노광 정도는 도 9a 및 9b에서 보는 바와 같이, 충전 표시부(D)와 주변부(P)에서 다르다. 즉, 충전 표시부(D)의 경계막(PB) 중에서 높이에 노출된 부분(C)은 표면으로부터 일정 깊이까지만이 높이에 반응하여 고로가 형성되고 그 윗으로는 고로가 그대로 남아 있으나, 게이트 페드부 및 데이타 페드부를 포함하는 주변부(P)의 경계막(PB)은 이와는 달리 높이에 노출된 부분(C)은 하부까지 모두 형성되어 고로가 형성되는 상태가 된다. 여기에서, 한편 표시부(D)나 주변부(P)에서 높이에 노출되는 부분(C, B)은 보호막(70)이 제거될 부분이다.

이후, 위에서는 물질연결층 표시부(D)에 사용하는 마스크(300)와 주변부(P)에 사용하는 마스크(400)의 구조를 변경하는 방법을 사용할 수 있으며, 여기에서는 세 가지 방법을 제시한다.

도 10a 및 10b에 도시한 바와 같이, 마스크(300, 400)는 통상 기판(310, 410)과 그 위의 코팅 레이어에 이루어진 물질연결층(320, 420), 그리고 트래인(320, 420) 및 노출된 기판(310, 410)을 뒤고 있는 반투명한 페리볼(pellicle)(330, 430)로 이루어진다. 물질연결층(320, 420)의 경계 페리볼은 3% 이하로 하고, 주변부(P)에 사용되는 마스크(400)의 페리볼은(430)의 경계 페리볼은 90% 이상이 되도록 하며, 충전 표시부(D)에 사용되는 마스크(300)의 페리볼(330)의 경계 페리볼은 주변부(P)의 페리볼(430)의 경계 페리볼은 20~60% 범위인 20~40% 경도로 하는 것이 바람직하다.

충전 표시부(D)의 반투명한 페리볼(330)은 대신에, 페리볼의 높이보다 작은 크기, 약 2.5μm의 폭의 슬릿(slot)이나 레저 모양의 미세 패턴을 가지는 마스크를 사용할 수도 있다.

마찬가지로, 도 11a 및 11b에 도시한 바와 같이, 충전 표시부(D)의 마스크(300)에는 전면에 걸친 코팅(350)을 약 100 Å 내지 300 Å의 두께로 형성 페리볼을 놓고주고, 주변부(P)의 마스크(400)에는 이러한 코팅층을 남기지 않는 것이다. 이때, 충전 표시부(D)에 사용되는 마스크(300)의 페리볼(340)은 수련본(350)의 페리볼(430)과 동일한 페리볼을 가지고도록 할 수 있다.

여기에서 위의 두 가지 방법을 충분하여 사용할 수 있는 경우이다.

위의 두 가지 예에서는 소드피커를 사용한 물질 노출과 경우에 적용할 수 있는 것으로서, 충전 표시부(D)와 주변부(P)가 다른 마스크를 사용하여 노출되거나 패턴에 적용한 것이다. 이렇게 물질 노출하는 경우에는 이외에도 충전 표시부(D)와 주변부(P)의 노출 시간을 다르게 하거나 두 가지 패턴을 적용할 수도 있다.

도 12에 도시한 바와 같이, 마스크(500)과 기판(510) 위에는 투과율 조절막(550)이 형성되어 있으며 투과율 조절막(550) 위에 흐름층(520)이 형성되어 있다. 투과율 조절막(550)은 흐름 표시부(D)에서는 흐름층(520) 하부에 아니라 전면에 흐름층(520) 위에 형성되어 있지만 주변부(P)에서는 흐름 표시부(D) 하부에 형성되어 있다. 투과율 조절막(550) 위에는 높이가 다른 두 개 이상의 흐름이 형성되어 있는情形이 된다.

이어한 후 그을을 조출학(550)을 가지는 광마스크(500)를 제조할 때에는, 먼저 거판(500) 위에 후그을을 조출학(550)과, 이 후그을을 조출학(550)과 적갈비가 달린 배현충(520)을 연속하여 층층한다. 전면에 길체 금강마(도사하지 않음)을 도포하고 노봉, 현충한 후 금강마를 실어 마스크를 하여 흰한봉(520)을 씩 각한다. 네는 강풀마를 쟁기한 후 다시 두번부(2)의 꽃풀을 대용하는 위치의 후그을을 조출학(550)을 노봉시키는 세로운 강풀마와 배현충(2)에 하지 않음)을 쟁기한 다음, 이를 실각 마스크로 하여 후그을을 조출학(550)을 각각으로써 광마스크(500)를 완성된다. 그럼에도, 강풀마(2)를 하루에 번사하여 높은 유통률을, 꽃 계이을 배출(22, 24, 26)이나 뛰어난 배출(82, 84, 85, 86, 68)이 있는 후그을은 번사율을 향으로 인하여 노봉과 다른 부류보다 높은 조사성이 많이 있을 수 있다. 이를 방지하기 위하여 하루로 2번의 번사율을 차단하는 총봉 두개를 끌고온다(2)를 사용할 수 있다.

이제, **감광액(Pt)**의 흡광 부피분(C)의 두께는 최초 두께의 약 1/4 내지 1/7 수준 즉 350 \AA 내지 $10,000 \text{ \AA}$ 정도, 대체로 보통 적어지는 1,000 \AA 내지 6,000 \AA 가 되도록 하는 것이 좋다. 한 예를 들면, **감광액(Pt)**의 최초 두께는 25,000 \AA 내지 30,000 \AA 으로 하고, 그러면 표시부(D)의 흡광율은 30 %로 하여 알맞은 감광액의 두께가 3,000 \AA 내지 5,000 \AA 가 되도록 할 수 있다. 그러나 넓기는 두께는 견적 속력의 영향 조건에 따라 정찰되거나 하므로, 이러한 영향 조건에 따라 마스크의 흡광율, 전자 쟁진율의 두께 또는 투과율을 조작학의 투과율이 아니 노동 시간 풍화 조작률을 정하는 경우이다.

（三）在本办法施行前，已经完成登记的，应当在本办法施行之日起六个月内，向登记机关申请换发登记证书。

(86) 線 球 O_2

다음, 제 1 실시예에서, 도래인 진코(66)의 상부부(662)에 대하여 제 2 실시예(64)의 상부부(642)를 삽입할 때에 보호막(70)의 가정자보다 안쪽으로 설치되어야 하는 경우, 이후 ITO 또는 ZTO 및 패턴이 접촉상의 안쪽에서 들어갈 수 있는 절을 보완하기 위한 제 2 실시예를 다음에서 설명한다.

도 18 내지 도 24는 제 2 실시예에 따른 양장 표시 장치를 보여 블랙리스터 기판의 제조 방법을 광장 순서에 따라 도시한 단면도이다. 제 2 실시예에 따른 양장 표시 장치는 제조 방법을 보호막(70)을 통하는 단계까지는 앞선 도 3 내지 도 7에 도시한 것과 같은 원리를 적용하여 제작된다.

다. 그 위에 보호막(70)을 설치한 다음, 강장막(PR)을 도포하고 이를 제3마스크를 사용하여 노즐 및 통상하여, 도 18에 도시한 바와 같이, 강장막(PR)의 두께를 조정하는 방법으로도 이루어져야 한다. 예, 계이트 블록(24), 데이터 블록(44) 및 블록(66)의 일부의 상부(C)에서 저 멀리 강장막(PR)이 완전히 끝나되, 원점 표시부(D)에서 도래한 전류(66) 성분의 강장막(PR)이 원전히 제거되는 부분의 비율을 일부(C), 후수 양분의 비율을 일부(C) 및 전류(D)의 대비된 비율(84) 상으로 강장막(PR)이 완전히 제거되는 부분의 비율을 일부(C)의 원과 비슷한 강장막(PR)이 되도록 조정하는 방법으로도 이루어져야 한다.

다.肺, 1989년 당시肺와 함께, 폐(PP)의 원천적 저기저기肺病을 帶上한 환자는肺病(70), 肺炎(40) 및 개의肺病(30)을 繼有하는 경우가 있어, 개의肺病(24), 肺炎(66) 등이 원인으로서(24) 각각 24명이나 66명이나 되는 듯하다.

다음, 강원학(52)은 선소를 모형화하는 기법을 제시하여 예상하여, 그로인 전략(66)을 제시, 학교 영역이 물리적 상황과 상호작용하는 상황에서 학교 내부 환경(64)의 상부에 있어 있는 학교 특성학(52)을 제거하여 그 하부의 보조학(70)을 드러낸다. 다음, 도 21에 표시한 바와 같이, 그로부터의 반도형학(50)을 건식 즉각에 반도형 모형화를 혼용하고, 혼용학(72, 73) 가정자리 모형(70)을 일정한 혼용학(56)을 드러낸다. 그로인 혼용학(56)은 혼용학(56)에 드러난 혼용학(56)을 드러낸다.

한국부(561) 與 韓國部(64)의 외부부(541)을 각각 대체하는 韓國府(71, 72, 73)을 혼용한다.

다음, 노 24 내지 노 28을 참고하여 본 발명의 제3 실시예에 따른 바탕 및 트랜지스터와 기판의 제조 방법에 대하여 설명한다.

언제, 제 1772 솔 시에에 서서 놓았던 단단한 고기, 이중학 계이트 빠선(22, 24, 26), 계이트 헤이미(30), 한도체총(40), 흔족총 韶총(55, 56), 그리고 이중학 대이타 빠선(62, 64, 65, 66)을 형성한다.

본 항목은 전통창(71, 73)을 각각 형성한 그룹 시리즈, 화소 영역의 한도 차수(40)를 드러낸다.

이후, 도 280에 도시한 바와 같이, 도 280은 반드시 출종(30)을 건식 작약하여 한 번에 풀을 원심한다. 마지막으로, ITO 액 또는 (20) 액을 경계로 풀을 치고 4마스터를 사용하여 씩간하여, 도 290에 도시한 바와 같이, 풀축량(72, 71, 73)을 통제하여 풀(24)의 하부부(241), 도드려진 전구(66)의 하부부(661) 및 레이터드 풀(64)의 하부부(641) 각각 풀을 치는 개이트 풀(24)을 진단한다. 그 다음에, (44) 풀 축(24)을 풀(24)에 풀을 치는 개이트 풀(24)을 진단한다. 그 다음에, (44) 풀 축(24)을 풀(24)에 풀을 치는 개이트 풀(24)을 진단한다.

2000년 10월

(57) 箱子の整理

初七

（1）**在庫**（Stock）：在庫は、販売用の商品を貯蔵するための施設や庫房のこと。在庫は、販売用の商品を貯蔵するための施設や庫房のこと。

922 陈鹤良

제3 광마스코 사용하여 상기 광광학 사용하는 노광하고 원상하는 데에 대한 내용은 다음에 다룬다.

漢語新語彙辭典

19. *Chlorophytum comosum* (L.) Willd. (Asparagaceae) (Fig. 11) is a common species in the coastal areas of the island. It is a clumped, terrestrial plant with a thick, horizontal rhizome. The leaves are numerous, linear, and flat, with a prominent midrib. The inflorescence is a terminal panicle with numerous small, white flowers.

정구방 2.

卷之三

卷之三

제구형 3.

用空想破局

상기 제1 대이터 표준화 기준에 따른 표준화된 표지판을 확장하는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 4.

제1항에서,

상기 학소 표지판을 확장하는 단계에서, 상기 제2 접촉항을 통한 상기 대이터 표지판의 상기 제1 접촉면에 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 5.

제1항에서,

상기 대이터 표지판을 확장하는 단계에서, 상기 제1 접촉면을 통한 상기 대이터 표지판의 제2 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 6.

제1항에서,

상기 대이터 표지판을 확장하는 단계에서, 상기 대이터 표지판의 상기 제2 접촉면을 통한 상기 대이터 표지판의 제2 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 7.

제6항에서,

상기 제2 접촉면을 통한 상기 대이터 표지판의 제2 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 8.

제7항에서,

상기 제1 접촉면을 통한 상기 대이터 표지판의 제1 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 9.

제8항에서,

상기 학소 표지판을 확장하는 단계에서, 상기 제3 접촉면을 통한 상기 대이터 표지판의 제3 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 10.

제1항에서,

상기 학소 표지판을 확장하는 단계에서, 상기 대이터 표지판의 제3 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 11.

제1항에서,

상기 제1 대이터 표지판의 제3 접촉면을 통한 상기 대이터 표지판의 제3 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

상기 대이터 표지판의 제3 접촉면을 통한 상기 대이터 표지판의 제3 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

상기 대이터 표지판의 제3 접촉면을 통한 상기 대이터 표지판의 제3 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

상기 대이터 표지판의 제3 접촉면을 통한 상기 대이터 표지판의 제3 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 12.

제11항에서,

상기 대이터 표지판의 제3 접촉면을 통한 상기 대이터 표지판의 제3 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 13.

제11항에서,

상기 대이터 표지판의 제3 접촉면을 통한 상기 대이터 표지판의 제3 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

청구항 14.

제11항에서,

상기 대이터 표지판의 제3 접촉면을 통한 상기 대이터 표지판의 제3 접촉면으로 연결되는 예정 표시 장치를 복약 트랜지스터 기판의 제조 방법.

이용한 예상 공정으로 제거하는 엑셀 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 15.

제1항에서,

상기 예상 공정은 N_x 또는 A_x를 더 포함하여 실시하는 엑셀 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 16.

제1항에서,

상기 제1 대지 제3 접촉층 및 상기 반도체 재료를 형성하는 단계는,

상기 개이트 펨트 단위로 상기 드레인 전극 상부 및 상기 데이타 펨트 상부의 상기 보호막, 그리고 상기 보호막 하부의 상기 반도체층 및 상기 개이트 펨트를 씁작하여 상기 개이트 펨트, 상기 드레인 전극 및 상기 데이타 펨트를 각각 드러내는 단계,

상기 드러난 개이트 펨트의 상기 제2 개이트 편속막, 상기 드러난 드레인 전극의 상기 제2 데이타 편속막 및 상기 드러난 데이타 펨트의 상기 제2 데이타 편속막을 씁작하여, 상기 개이트 펨트의 상기 제1 개이트 편속막, 상기 드레인 전극의 상기 제1 데이타 편속막 및 상기 데이타 펨트의 상기 제1 데이타 편속막을 드러내는 단계,

상기 편속막의 융점 두께를 제거하여 인접한 두 개의 상기 데이타선 사이의 상기 보호막 및 상기 드레인 드레인 전극의 바깥쪽에 위치한 상기 보호막을 드러내는 단계,

상기 드러난 보호막 및 상기 보호막 하부의 반도체층을 씁작하여 상기 드레인 전극의 상기 제1 데이타 편속막을 드러내는 상기 제2 접촉층을 형성하고, 상기 반도체 재료를 형성하는 단계를 포함하는 엑셀 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 17.

제16항에서,

상기 드러난 드레인 전극의 바깥쪽에 위치한 상기 보호막을 드러내는 단계에서, 상기 편광막의 융점 두께를 제거하여 상기 드러난 데이타 펨트의 바깥쪽에 위치한 상기 보호막을 드러내는 단계,

상기 보호막을 씁작하여 상기 데이타 펨트의 상기 제1 데이타 편속막을 드러내는 상기 제3 접촉층을 형성하는 단계를 더 포함하는 엑셀 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 18.

제17항에서,

상기 드러난 개이트 펨트의 상기 제2 개이트 편속막, 상기 드러난 드레인 전극의 상기 제2 데이타 편속막 및 상기 드러난 데이타 펨트의 상기 제2 데이타 편속막을 씁작으로 씁작하는 단계를 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 19.

제16항에서,

상기 드러난 개이트 펨트의 상기 제2 개이트 편속막, 상기 드러난 드레인 전극의 상기 제2 데이타 편속막 및 상기 드러난 데이타 펨트의 상기 제2 데이타 편속막을 전식 씁작으로 씁작하는 단계를 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 20.

제16항에서,

인접한 두 개의 상기 데이타선 사이의 상기 보호막 및 상기 드러난 드레인 전극의 바깥쪽에 위치한 상기 보호막을 드러내는 단계에서, 상기 편광막의 선소를 이용한 예상 공정으로 씁작하는 엑셀 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 21.

제1항에서,

상기 반도체층을 비정질 규소층으로 형성하는 엑셀 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 22.

제21항에서,

상기 편속층을 인이 모범된 비정질 규소층으로 형성하는 엑셀 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 23.

기판 위에 제1 풍마스크를 사용하여 개이트 선, 개이트 전극 및 개이트 펨트를 포함하는 개이트 배선을 형성하는 단계,

상기 개이트 배선 및 상기 기판 위에 개이트 편속막, 반도체층, 접촉층, 제1 데이타 편속막 및 제2 데이타 편속막을 형성하여 접착하는 단계, 제2 풍마스크를 사용하여 상기 제2 및 제1 데이타 편속막을 씁작하여 데이타선 및 소스 및 드레인 전극을 포함하는 데이타 배선을 형성하는 단계,

상기 데이타 배선을 마스크로 하여 상기 편속층을 씁작하여 상기 데이타 배선과 접속한 바깥의 접촉층 재료를 형성하는 단계,

상기 반도체층과 상기 데이타 편속막을 형성하는 단계,

제3 풍마스크를 사용하여 상기 보호막을 노광하고 형성하여, 상기 개이트 펨트 상부의 상기 반도체층을 드러내며 두께를 가지고 있지 않은 제1

상기 2부분을 예상하여 살이 화장지의 살기 번도재를 드러내고, 살기 제1 및 제2 접촉층의 드리기 대비하는 단계, 상기 화소 영역의 살기 드리난 번도재를 살작하여 번도재로 화성하는 단계,

在這段時間，我會將我的時間和精力花在學習上，並努力提高自己的知識水準。我會積極參與課外活動，並努力在這些活動中發揮自己的作用。我會努力在學習上取得優異成績，並在未來的學習生涯中繼續努力。

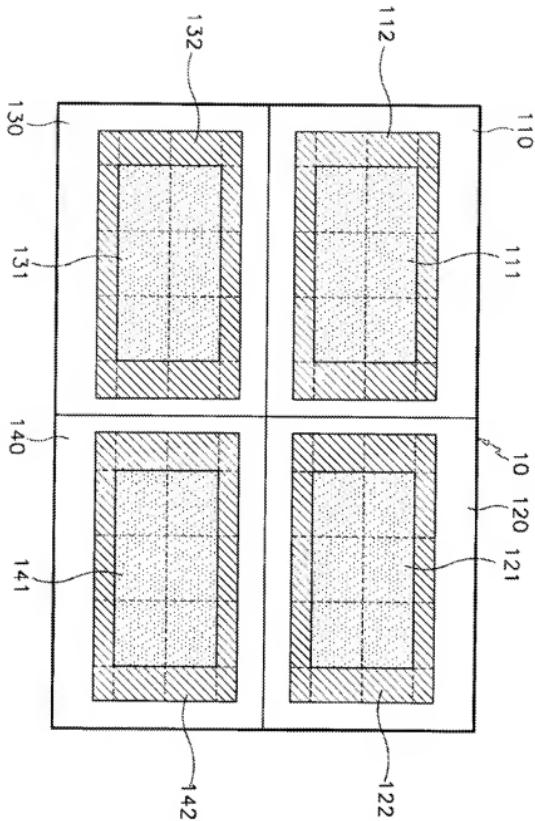
첨구항 24.

3228594

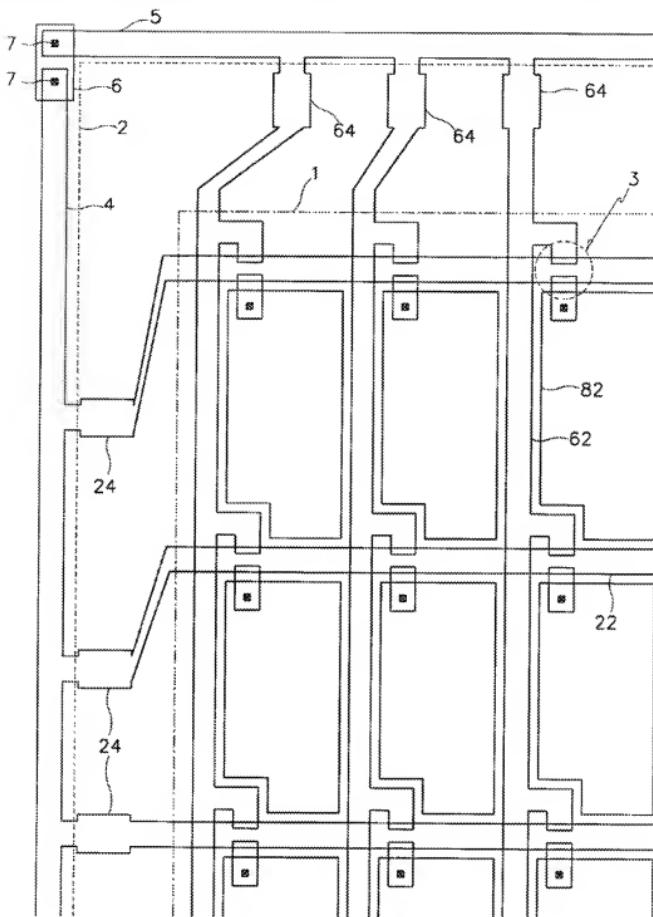
첨급학 25

◎ 人物

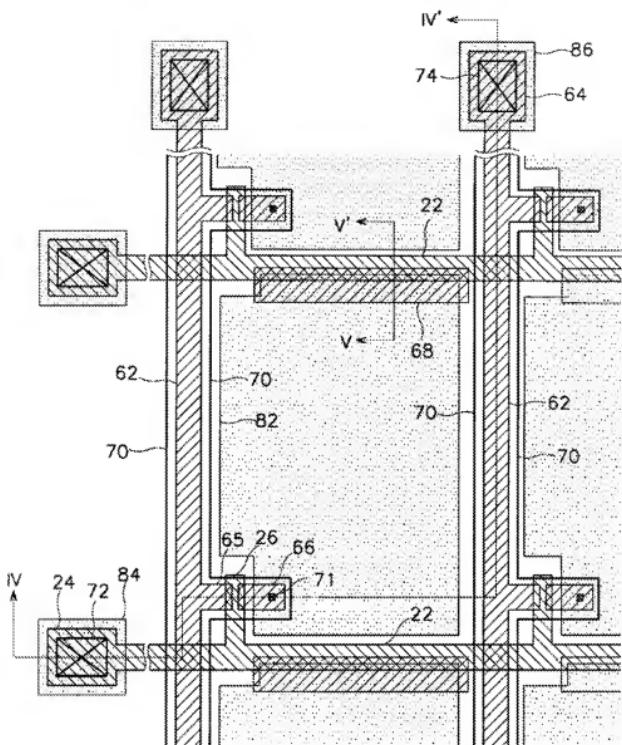
268



도면 2



도면 3



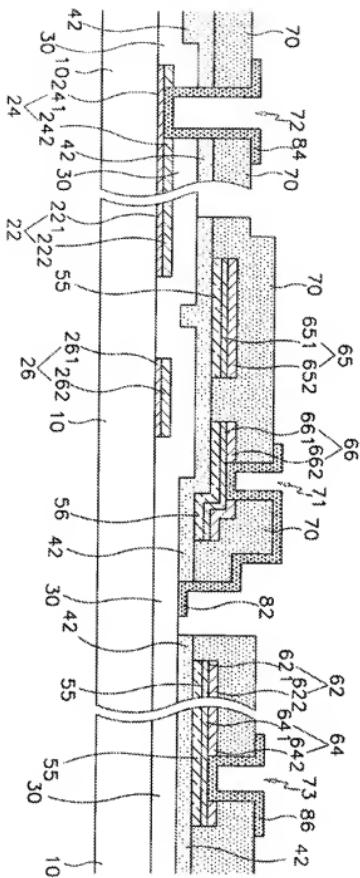
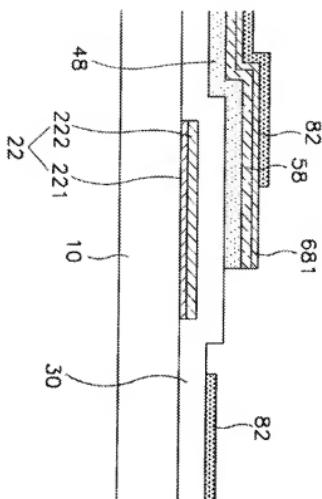
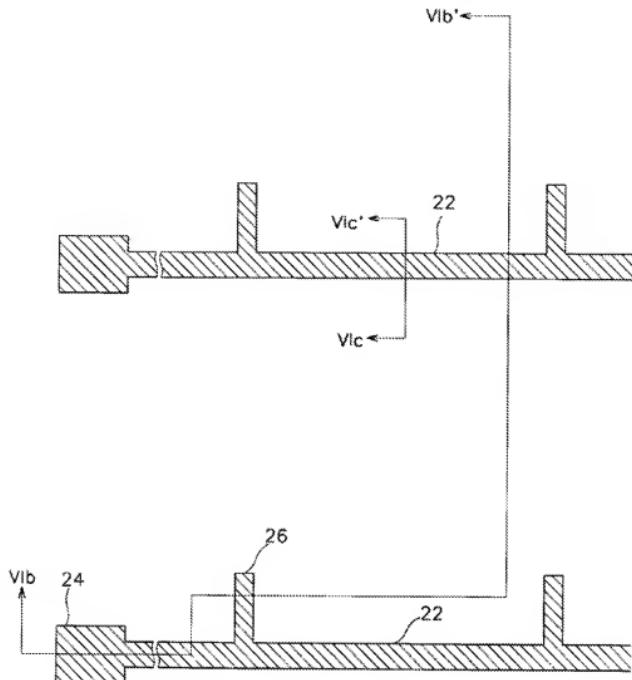
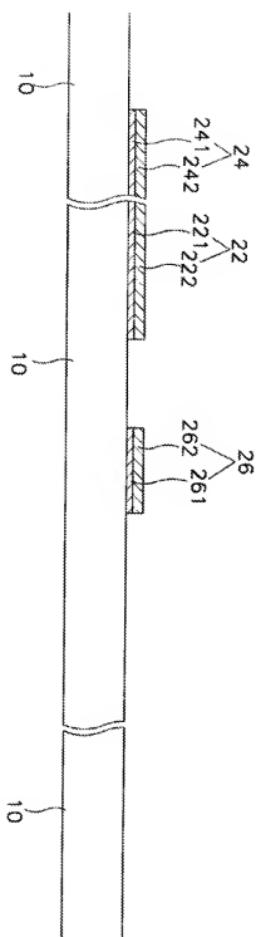


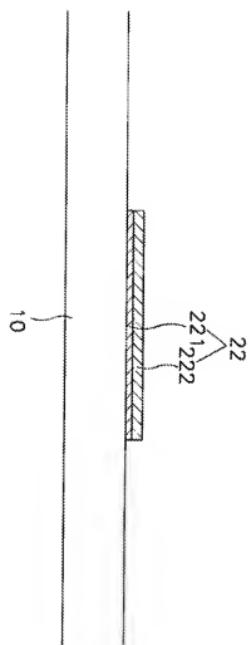
图 5



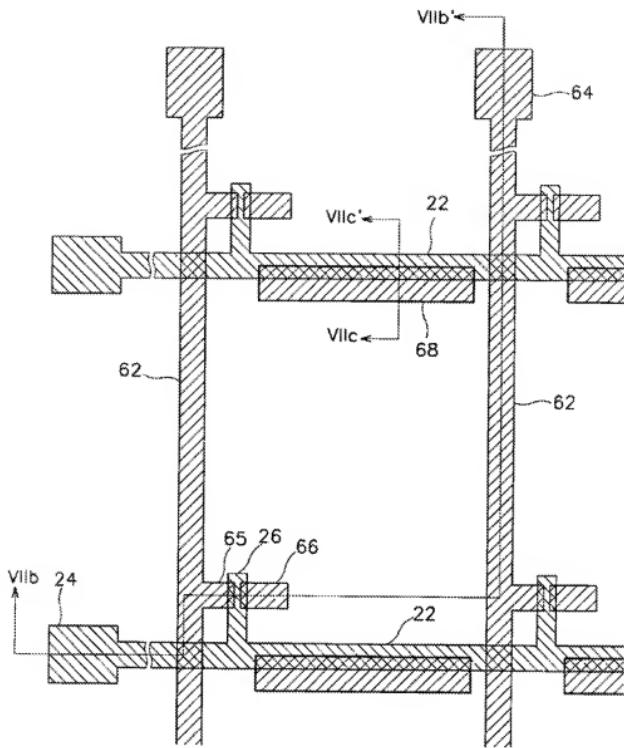
도면 86







도면 76



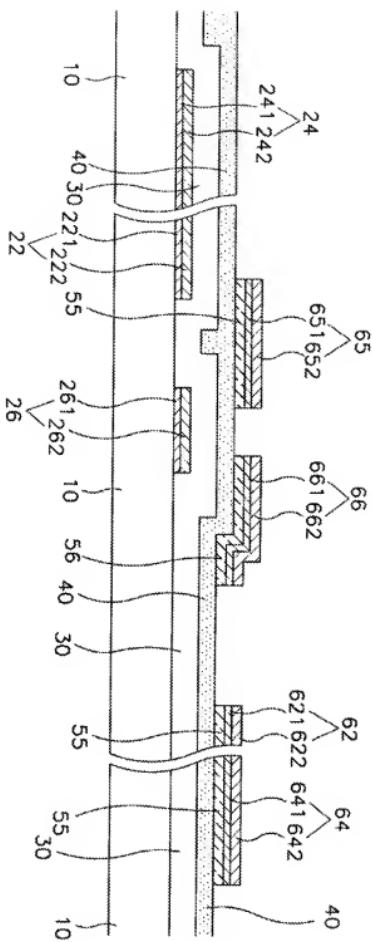
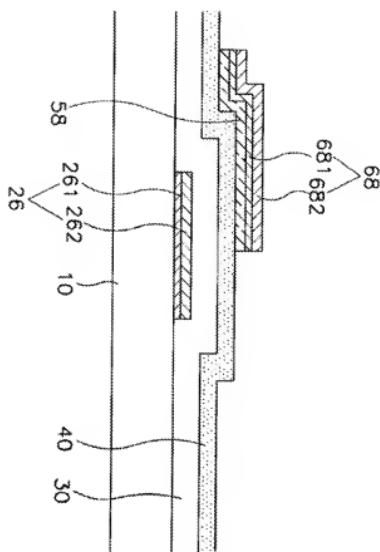
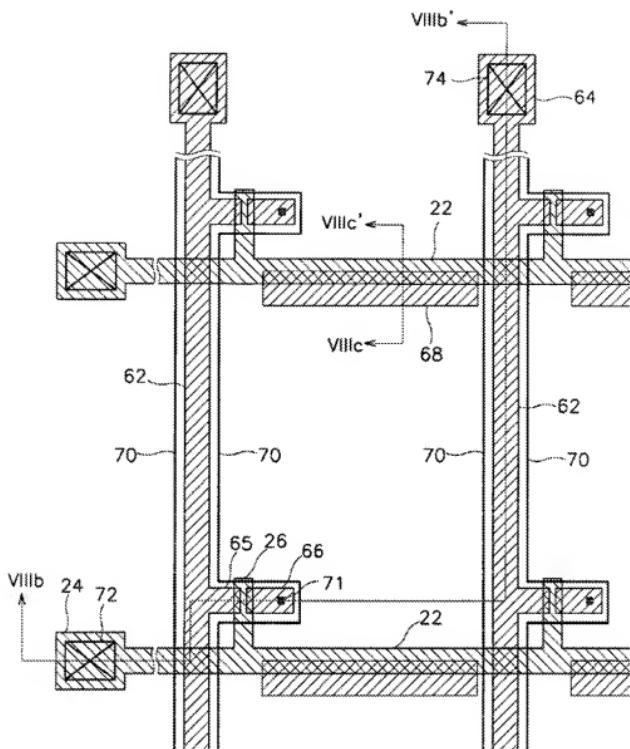
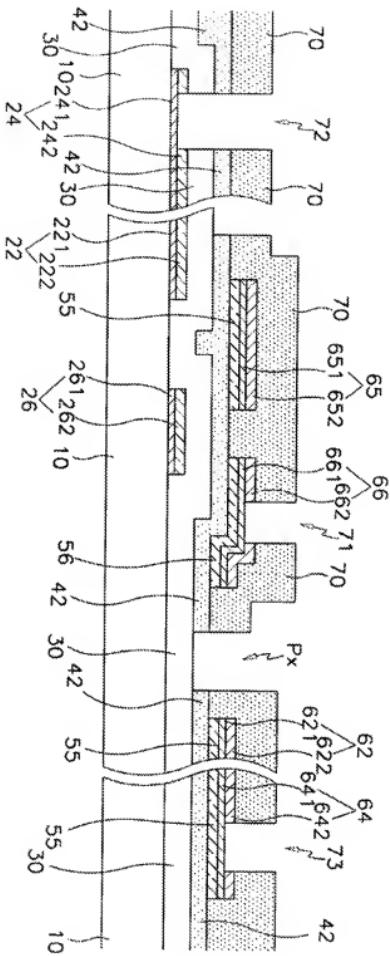


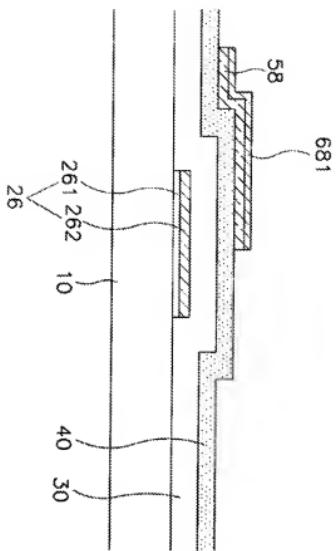
图 7c



도면 B6







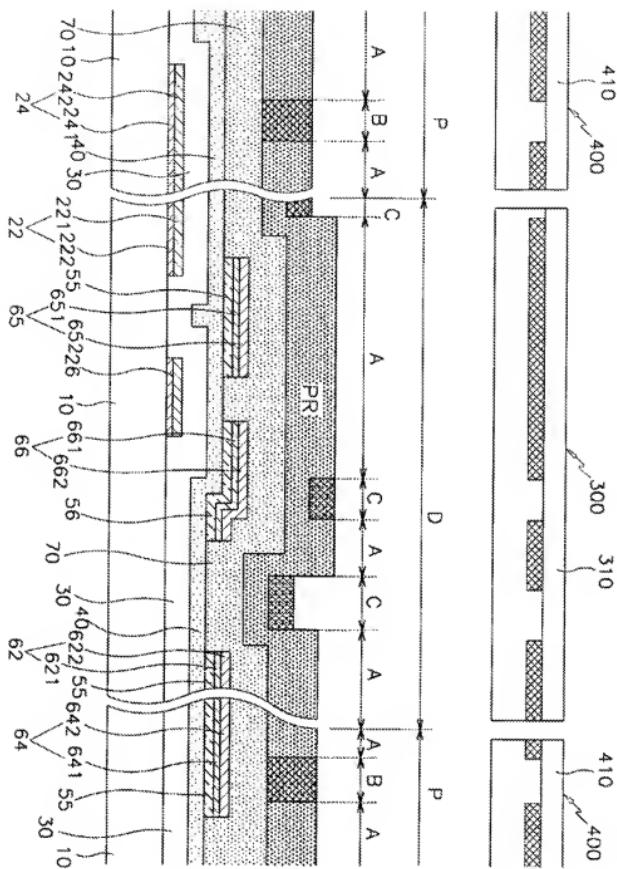


图 81 9b

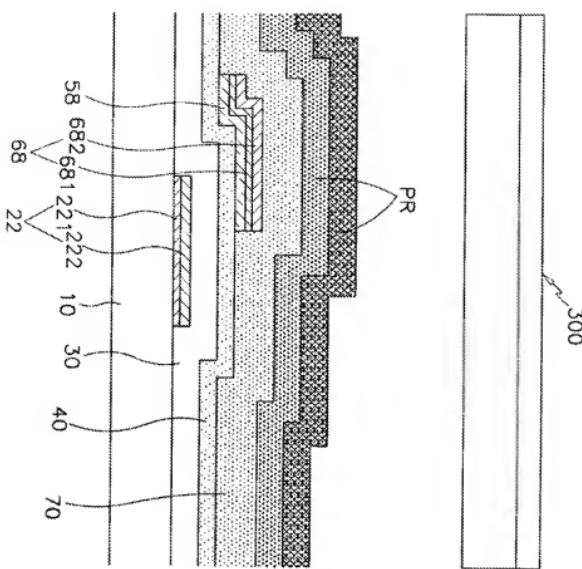


图 81 10a

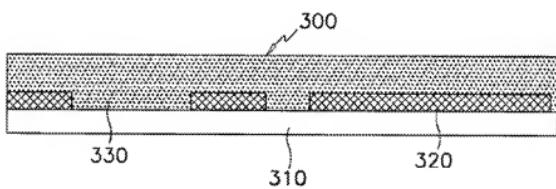
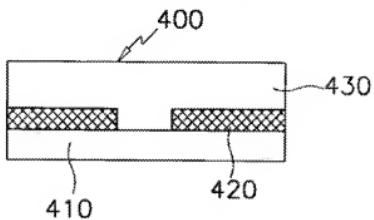
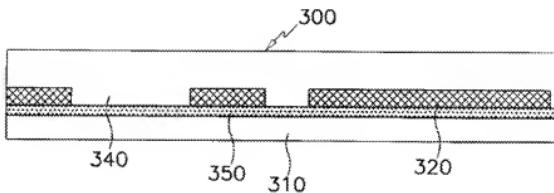


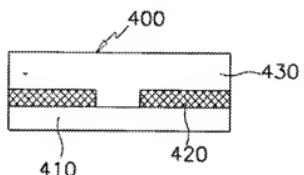
图 81 10b



도면 11a



도면 11b



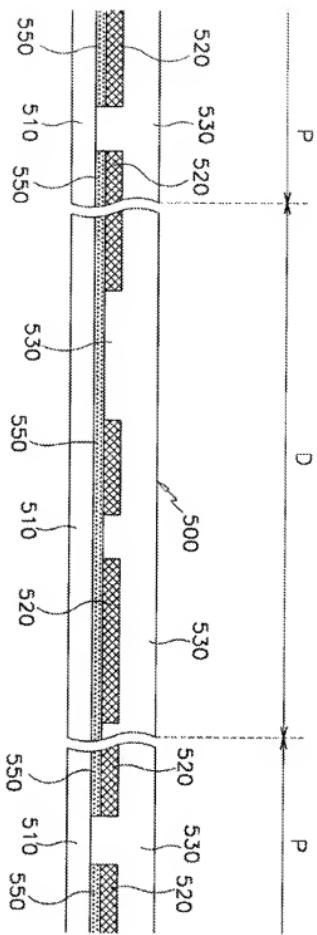


图 13a

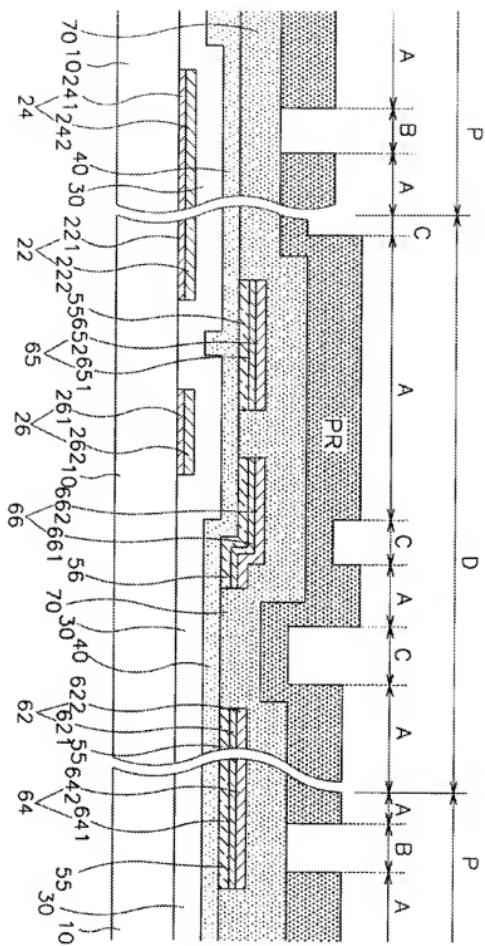
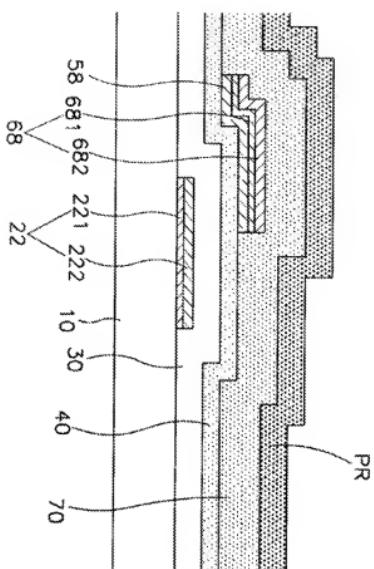
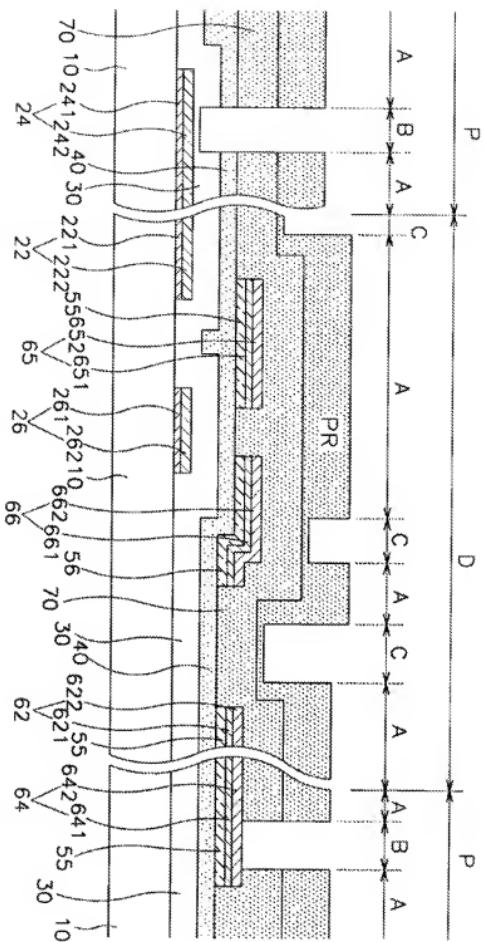
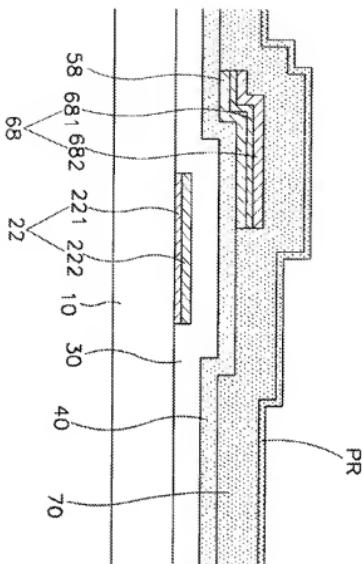


图 13b



EN 148





53 153

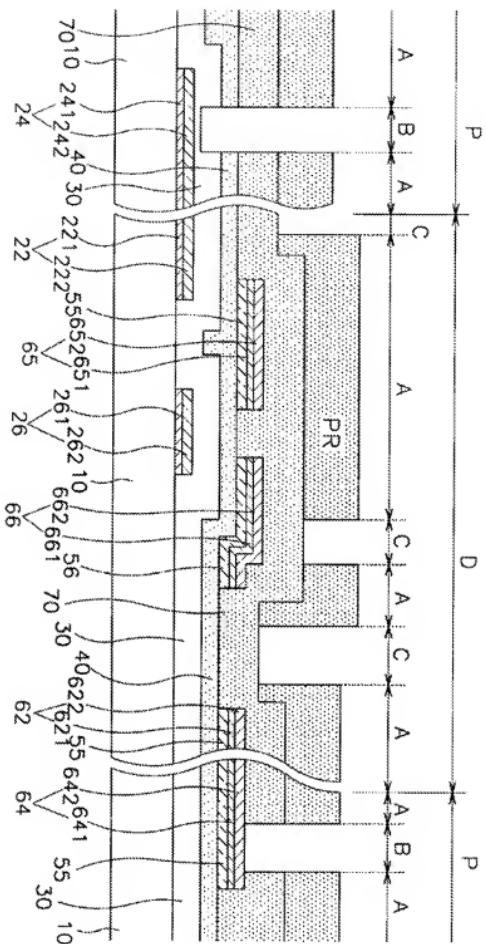


图 15b

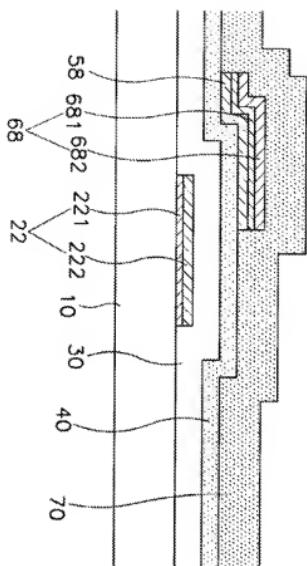
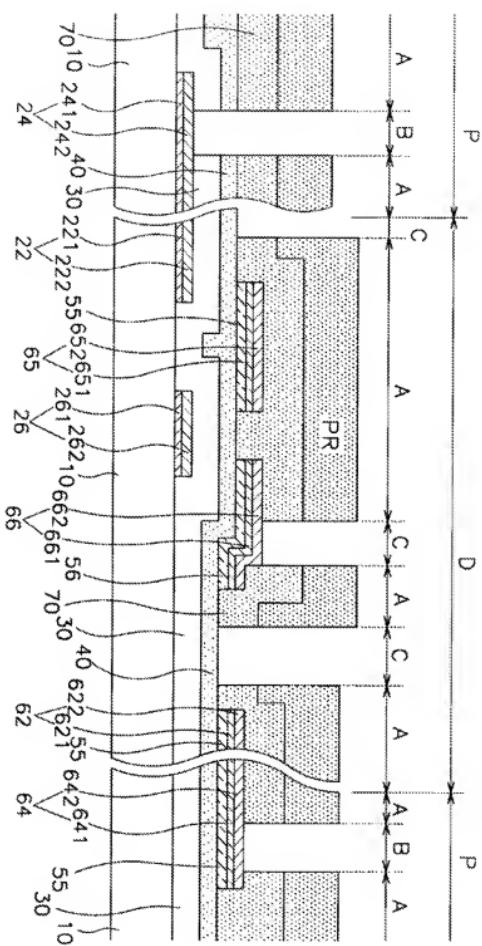


图 16a



EN 160

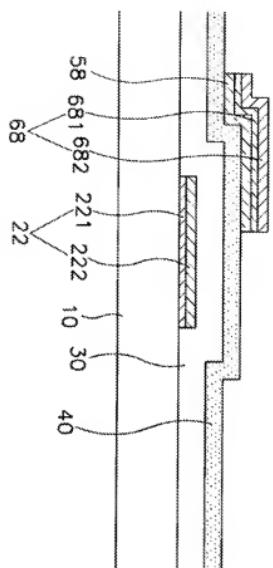


图 17b

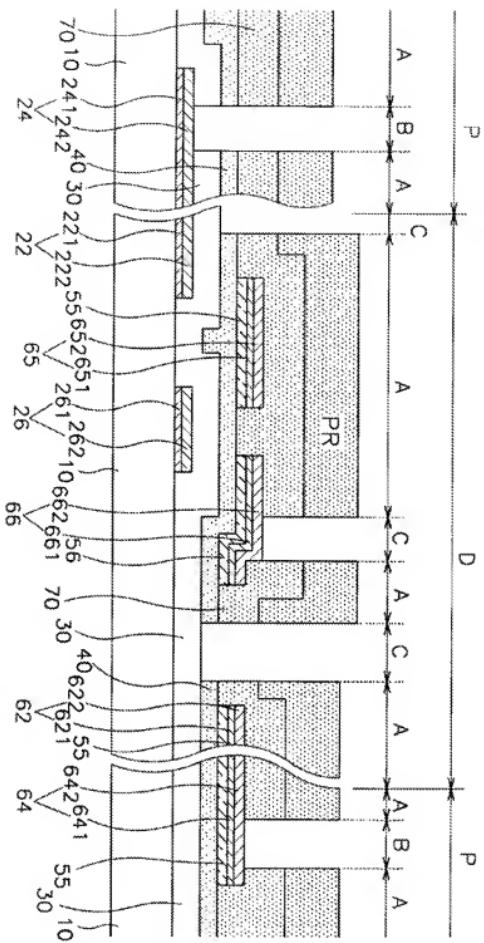
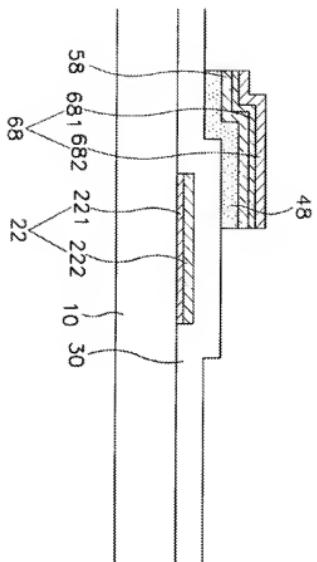


图 17b



532 18

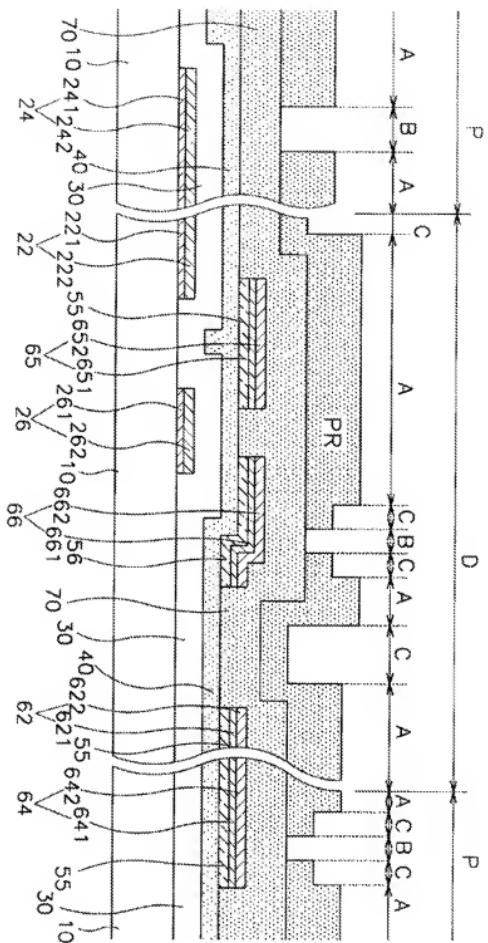


图 19

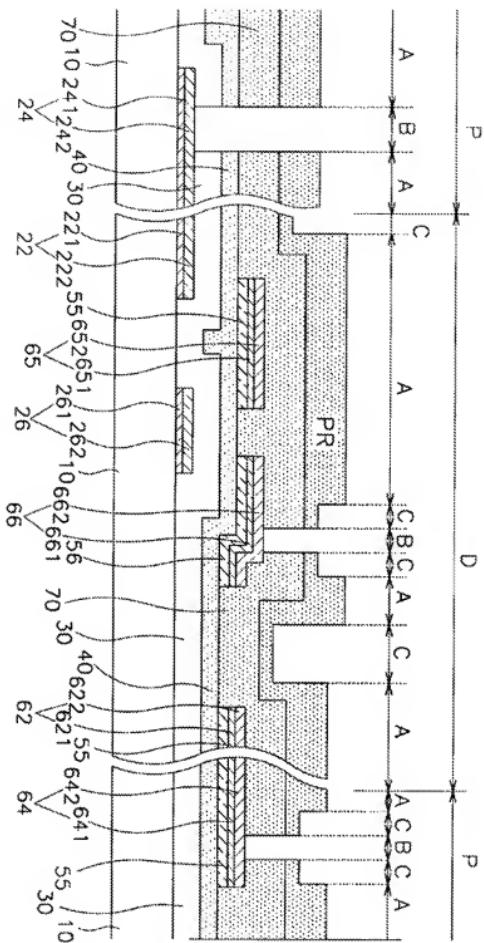
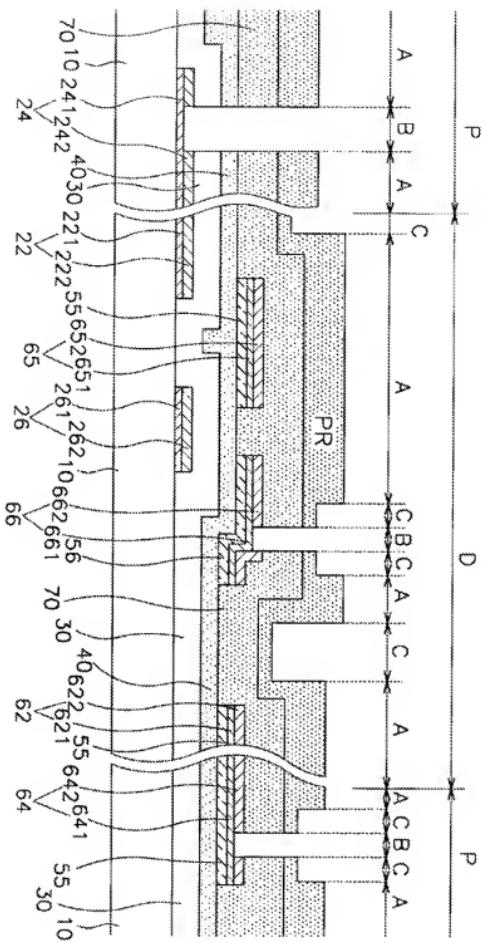
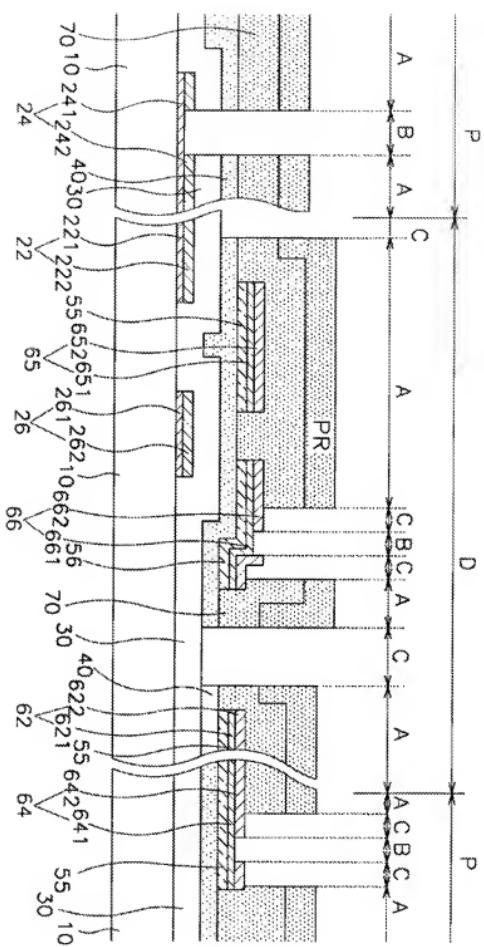


图 20





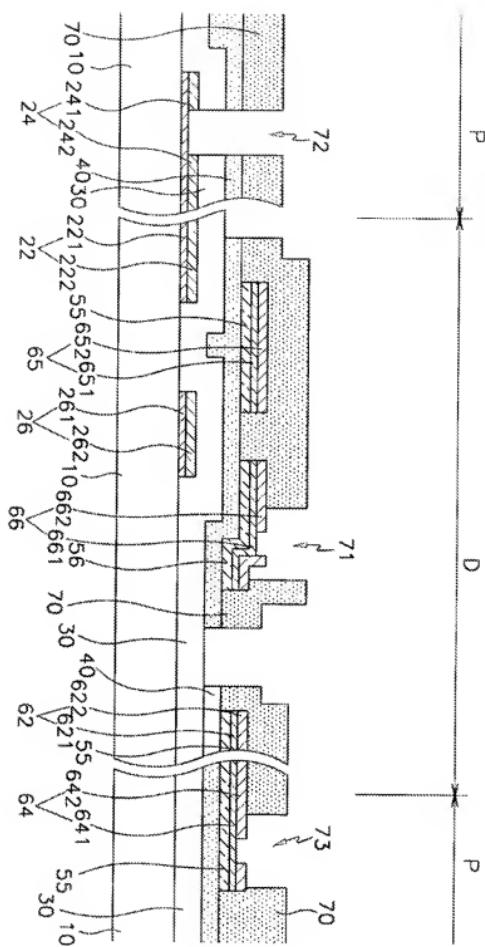
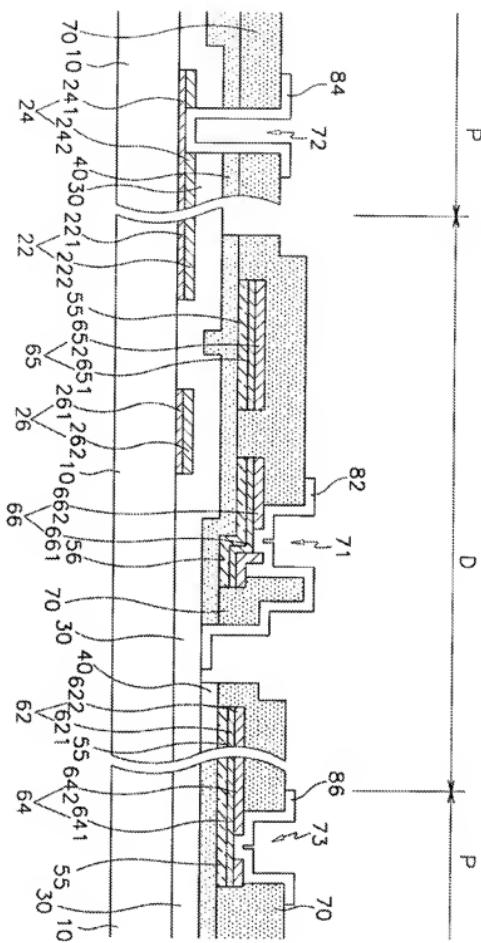
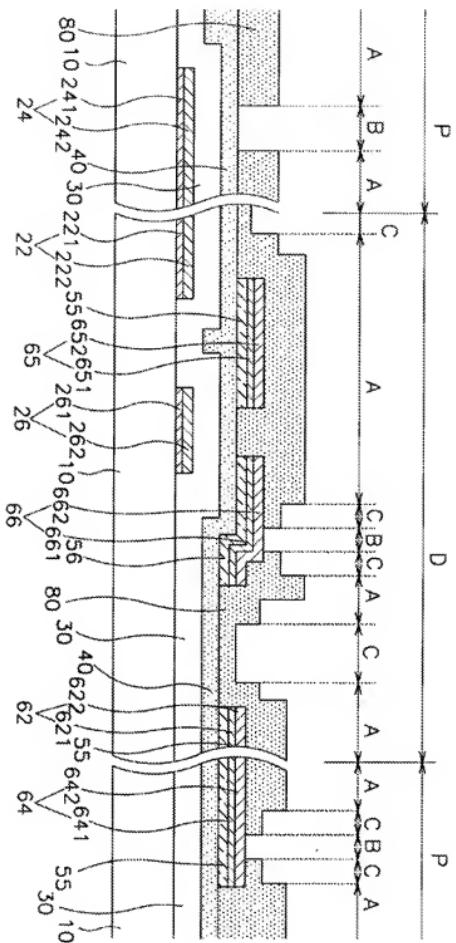


图 23





至 25

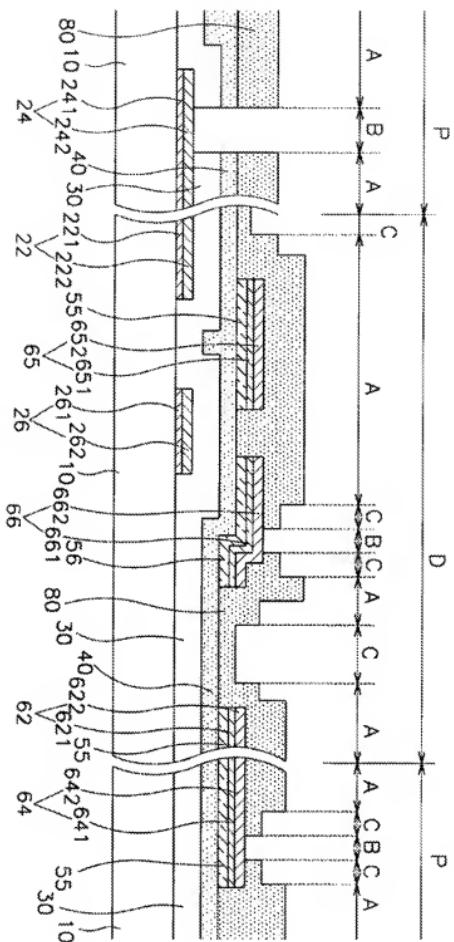


图 26

